



# MicroPatent® PatSearch Fulltext: Record 1 of 1

**Search scope:** JP (bibliographic data only)

**Years:** 1836-2005

**Patent/Publication No.:** ((JP2002251884))

[Order This Patent](#) [Family Lookup](#) [Find Similar](#) [Legal Status](#)

[Go to first matching text](#)

**JP2002251884 A**  
**SEMICONDUCTOR MEMORY AND**  
**SYSTEM DEVICE THEREFOR**  
**TOSHIBA CORP**

**Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which a non-volatile memory is combined with a volatile memory without configuring a portion of a control circuit exclusive for a non-volatile memory into another chip and packaging density is high, and to provide a system device therefor. **SOLUTION:**

When a semiconductor memory

used for a portable telephone, a memory card or the like by combining a non-volatile memory and a volatile RAM such as a NAND(negative AND) type flash memory and the system device therefor are developed, a portion of a control circuit exclusive for a NAND type flash memory consisting of, for example, an ECC circuit, a controller circuit, an interface circuit, or the like is formed on a chip of the volatile RAM, then the packaging density is largely improved as comparing with the case that a portion of the control circuit is configured into another chip, thereby providing the semiconductor memory which is inexpensive and is useful for miniaturizing of the portable telephone or the like and the system device therefor.

**Inventor(s):**

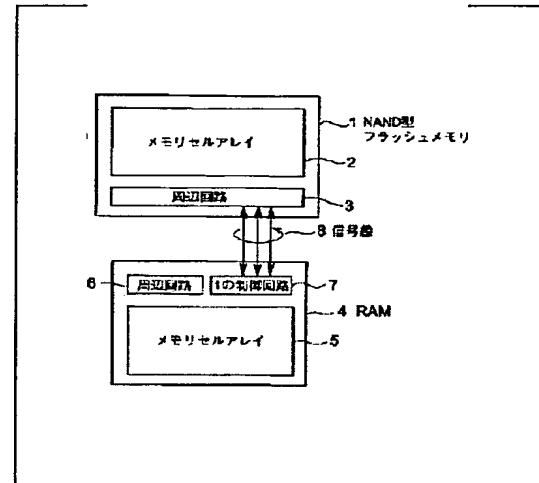
SAKUI YASUSHI

**Application No.** 2001045330 **JP2001045330 JP, Filed** 20010221, A1

**Published** 20020906

**Int'l Class:** G11C01602

G11C00700 G11C01141 G11C011401 G11C01604 G11C01606



[Click here for larger image.](#)

**Patents Citing This One** No US, EP, or WO patent/search reports have cited this patent.



For further information, please contact:

Technical Support | Billing | Sales | General Information

**BEST AVAILABLE COPY**

# BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-251884

(P2002-251884A)

(43)公開日 平成14年9月6日 (2002.9.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	マーク* (参考)
G 11 C 16/02		C 11 C 7/00	3 1 1 A 5 B 0 1 6
7/00	3 1 1	17/00	6 0 1 Z 5 B 0 2 6
11/41		11/34	Z 5 M 0 2 4
11/401			3 4 5
16/04			3 7 1 Z

審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願2001-45330(P2001-45330)

(22)出願日 平成13年2月21日 (2001.2.21)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 作井 康司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

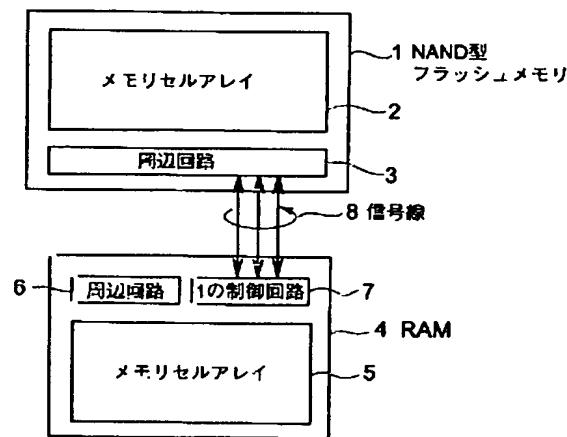
F ターム (参考) 5B015 JJ31 KB91 PP06  
5B025 AA03 AB01 AC01 AD00 AD13  
AE00  
5M024 AA70 BB27 DD90 GG20 KK33  
LL20 PP01 PP05 QQ02

(54)【発明の名称】 半導体記憶装置及びそのシステム装置

### (57)【要約】

【課題】不揮発性メモリ専用の制御回路の一部を別チップとすることなく不揮発性メモリと揮発性メモリとを組み合わせた、実装密度の高い半導体記憶装置及びそのシステム装置を提供する。

【解決手段】NAND型フラッシュメモリ等の不揮発性メモリと揮発性RAMとを組み合わせて携帯電話やメモリカード等に用いる半導体記憶装置及びそのシステム装置を開発する際、例えばECC回路、コントローラ回路、インターフェース回路等からなるNAND型フラッシュメモリ専用の制御回路の一部を揮発性RAMのチップ上に形成すれば、これらの制御回路の一部を別チップとする場合に比べて実装密度が大幅に向上するので、安価で携帯電話等の小型化に役立つ半導体記憶装置及びそのシステム装置を提供することが可能になる。



【特許請求の範囲】

【請求項1】 第1の半導体メモリを搭載した第1の半導体チップ及び第2の半導体メモリを搭載した第2の半導体チップを備え、前記第1、第2の半導体チップを組み合わせて使用する半導体記憶装置及びそのシステム装置であって、

前記第1の半導体チップ上に形成された前記第1の半導体メモリは、少なくとも第1のメモリセルアレイ及び前記第1のメモリセルアレイとの間で記憶データの授受を行う第1の周辺回路を備え、

前記第2の半導体チップ上に形成された第2の半導体メモリは、少なくとも第2のメモリセルアレイ及び前記第2のメモリセルアレイとの間で記憶データの授受を行う第2の周辺回路を備え、

かつ、前記第2の半導体メモリは、前記第1の半導体メモリを制御する制御回路の一部を前記第2の半導体チップ上に具備することを特徴とする半導体記憶装置及びそのシステム装置。

【請求項2】 前記第1の半導体メモリを制御する制御回路の一部は、前記第1の半導体メモリの誤り検知訂正回路であることを特徴とする請求項1記載の半導体記憶装置及びそのシステム装置。

【請求項3】 前記第1の半導体メモリを制御する制御回路の一部は、前記第1の半導体メモリのコントーラ回路であることを特徴とする請求項1記載の半導体記憶装置及びそのシステム装置。

【請求項4】 前記第1の半導体メモリを制御する制御回路の一部は、前記第1の半導体メモリのインターフェース回路であることを特徴とする請求項1記載の半導体記憶装置及びそのシステム装置。

【請求項5】 前記第1の半導体メモリは、電気的に書き換え可能な不揮発性半導体メモリであり、前記第2の半導体メモリは、電気的に書き換え可能な揮発性半導体メモリであることを特徴とする請求項1乃至4のいずれか1つに記載の半導体記憶装置及びそのシステム装置。

【請求項6】 電気的に書き換え可能な不揮発性半導体メモリからなる第1の半導体チップ及び電気的に書き換え可能な揮発性半導体メモリからなる第2の半導体チップを備え、前記第1、第2の半導体チップを組み合わせて使用する半導体記憶装置及びそのシステム装置であって、

前記第1の半導体チップ上に形成された前記電気的に書き換え可能な不揮発性半導体メモリは、少なくとも不揮発性メモリセルアレイ及び前記不揮発性メモリセルアレイとの間で記憶データの授受を行う周辺回路を備え、

前記第2の半導体チップ上に形成された前記電気的に書き換え可能な揮発性半導体メモリは、少なくとも揮発性メモリセルアレイ及び前記揮発性メモリセルアレイとの間で記憶データの授受を行う周辺回路を備え、

前記第2の半導体チップ上に形成された電気的書き換え

可能な揮発性半導体メモリは、前記第1の半導体チップ上に形成された不揮発性半導体メモリの誤り検知訂正回路及びコントローラ回路及びインターフェース回路、又は、前記誤り検知訂正回路及び前記コントローラ回路及び前記インターフェース回路の少なくともいずれか1つを、前記第2の半導体チップ上に具備することを特徴とする半導体記憶装置及びそのシステム装置。

【請求項7】 前記電気的に書き換え可能な不揮発性半導体メモリは、少なくともNAND型フラッシュメモリ、AND型フラッシュメモリ、DINOR型フラッシュメモリ及びNOR型フラッシュメモリのいずれか1つからなり、前記電気的に書き換え可能な揮発性半導体メモリは、少なくともDRAM、SRAM、擬似SRAMのいずれか1つからなることを特徴とする請求項6記載の半導体記憶装置及びそのシステム装置。

【請求項8】 前記第1の半導体チップ上に形成された前記電気的書き換え可能な不揮発性半導体メモリはNAND型フラッシュメモリからなり、

前記第2の半導体チップ上に形成された前記電気的に書き換え可能な揮発性半導体メモリはSRAMからなり、前記第2の半導体チップ上に形成されたSRAMは、前記NAND型フラッシュメモリの誤り検知訂正回路及びコントローラ回路及びインターフェース回路を前記第2の半導体チップ上に具備し、

前記第1、第2の半導体チップが同一のマルチ・チップ・パッケージに実装されたことを特徴とする請求項6記載の半導体記憶装置及びそのシステム装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置及びそのシステム装置に係り、特に電気的に書き換え可能な不揮発性半導体メモリ及び電気的に書き換え可能な揮発性半導体メモリを組み合わせた半導体記憶装置及びシステム装置に関するものである。

【0002】

【従来の技術】 従来、半導体メモリの一つとして、電気的に書き換え可能なEEPROM(Electrically Erasable Programmable Read Only Memory)が知られている。特にメモリセルを複数個直列接続してNANDセル・ブロックを構成するNAND型フラッシュメモリは、高集積化が可能なものとして注目されている。

【0003】 NAND型フラッシュメモリを構成する1つのメモリセルトランジスタは、絶縁膜を介して半導体基板上に浮遊ゲート(電荷蓄積層)と制御ゲートとが積層されたMOS型電界効果トランジスタ構造を有し、互いに隣接する複数個のメモリセルトランジスタがソース・ドレインを共有するように直列接続されてNAND型セルが構成される。このようなNAND型セルをマトリックス状に配列することにより、NAND型フラッシュメモリのメモリセルアレイが構成される。

【0004】メモリセルアレイの列方向に配列されたNAND型セルの一方の終端部をなすメモリセルトランジスタのドレインは、それぞれ選択ゲートトランジスタを介してビット線に共通に接続され、NAND型セルの他方の終端部をなすメモリセルトランジスタのソースは、同様に選択ゲートトランジスタを介して共通ソース線に接続される。メモリセルトランジスタの制御ゲート、及び選択ゲートトランジスタの選択ゲートは、それぞれメモリセルアレイの行方向に沿ってワード線（制御ゲート線）、及び選択ゲート線として共通に接続される。

【0005】このように構成されたNAND型フラッシュメモリは、NOR型フラッシュメモリに比べて1ビット当りのメモリセルサイズが小さく、かつ書き換え速度が速いという利点を有するが、一方、ランダムアクセスにおけるアクセス時間がNOR型フラッシュメモリの100nsに対して25μsと2桁以上も遅い欠点がある。

【0006】また、NAND型フラッシュメモリでは、ページデータとして512バイトのデータが一括してページバッファに読み出されるため、誤り検知訂正（EC : Error Check Correct）をチップ外のシステムから行なうことが推奨され、また、チップ上に1ページ当り16バイトの冗長ビットを設けねばならない等の欠点がある。

【0007】従って、NAND型フラッシュメモリと高速SRAMとを組み合わせて半導体記憶装置及びそのシステム装置を構成しようとすれば、NAND型フラッシュメモリのECC回路やコントローラ回路及び高速SRAMとの間のインターフェース回路等からなる制御回路の一部を、別チップとして設ける必要があった。

【0008】特に、現在全世界で1年ごとに急速にマーケットが拡大している携帯電話やPDA（携帯情報端末）の分野では、これに用いるフラッシュメモリの大容量化の傾向が著しく、ビット単価の高いNOR型フラッシュメモリに比べて、ビット単価が安いNAND型フラッシュメモリに対する需要が高まっている。

【0009】しかし、上記のように、NAND型フラッシュメモリ専用のECC回路やコントローラ回路、及び高速SRAMとの間のインターフェース回路等からなる制御回路の一部を別チップとして設ければ、単にコスト高になるばかりでなく、携帯電話等の小型化の大きな障害となる。

【0010】理想的にはメモリチップの制御回路は、メモリセルアレイの周辺回路の一部として全て同一のメモリチップ上に埋め込まれることが望ましい。しかし、NAND型フラッシュメモリでは、記憶データの書き換えのため約20Vの高電圧が必要であり、高耐圧トランジスタ設計のため、周辺回路には大きなデザイン・ルールが用いられる。

【0011】このため、NAND型フラッシュメモリと高速SRAMとを組み合わせた半導体記憶装置及びそのシステム装置において、これに必要な全ての制御回路をメモリセルアレイの周辺回路の一部としてNAND型フラッシュメモリのチップ上に内蔵させれば、レイアウト上の余分な面積（オーバヘッド面積）が発生する。

【0012】また、先に述べたように、NAND型フラッシュメモリのメモリセルトランジスタは、半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートとが積層された2層ゲート構造を有するが、このとき、通常の1層ゲート構造のMOSトランジスタを用いてメモリセルアレイ以外の周辺回路を形成すれば、メモリセルアレイと周辺回路の形成に別工程が必要になり、コスト高の原因になる。

【0013】このため、従来、NAND型フラッシュメモリの製造工程において、周辺回路を含む全てのMOSトランジスタを2層ゲート構造として形成し、周辺回路を構成するMOSトランジスタは、浮遊ゲートと制御ゲートを互いに接続して配線層上に引き出し、実効的に1層ゲート構造とする方法が採用されてきた。

【0014】しかし、浮遊ゲートと制御ゲートを互いに接続して配線層上に引き出すためのコンタクト部の形成には大きな面積が必要となるので、この方法で周辺回路の構成に必要な全てのMOSトランジスタを形成すれば、周辺回路の占有面積を縮小することが困難になると、いう問題があった。

【0015】特に、NAND型フラッシュメモリと高速SRAMとを組み合わせた半導体記憶装置及びそのシステム装置において、NAND型フラッシュメモリを動作させるための制御回路ばかりでなく、ECC回路やコントローラ回路、及び高速RAMとの間のインターフェース回路等からなる制御回路の一部を含めて、全てを周辺回路としてNAND型フラッシュメモリのチップ上に形成すれば、チップサイズが過大になるという問題があつた。

【0016】このため、携帯電話等の小型化の障害になりコスト高となるにも関わらず、NAND型フラッシュメモリと高速SRAMとを組み合わせた半導体記憶装置及びそのシステム装置において、NAND型フラッシュメモリ専用の制御回路の一部を別チップとする設計方法が、従来この分野で広く採用されてきた。

【0017】  
【発明が解決しようとする課題】上記したように、従来のNAND型フラッシュメモリと高速SRAMとを組み合わせた記憶装置及びシステム装置は、NAND型フラッシュメモリ専用の制御回路の一部を別チップとして設けているため、携帯電話等の小型化の障害になり、コスト高になるという問題があった。

【0018】本発明は、上記の問題点を解決すべくなされたもので、NAND型フラッシュメモリ専用の制御回路

路の一部を別チップとすることなく、SRAM上に設けることにより、携帯電話等の小型化に役立つ不揮発性のNAND型フラッシュメモリとSRAM等の揮発性RAMとを組み合わせた半導体記憶装置及びそのシステム装置を提供することを主な目的とする。

【0019】

【課題を解決するための手段】本発明の半導体記憶装置及びそのシステム装置は、NAND型フラッシュメモリと揮発性RAMとを組み合わせて携帯電話やメモリカード等に用いるに際し、例えばECC回路、コントローラ回路、インターフェース回路等からなるNAND型フラッシュメモリ専用の制御回路の一部を、揮発性RAMチップ上に内蔵させることを主な特徴とする。

【0020】具体的には、本発明の半導体記憶装置及びそのシステム装置は、第1の半導体メモリを搭載した第1の半導体チップ及び第2の半導体メモリを搭載した第2の半導体チップを備え、第1、第2の半導体チップを組み合わせて使用するものであって、第1の半導体チップ上に形成された第1の半導体メモリは、少なくとも第1のメモリセルアレイ及び第1のメモリセルアレイとの間で記憶データの授受を行う第1の周辺回路を備え、第2の半導体チップ上に形成された第2の半導体メモリは、少なくとも第2のメモリセルアレイ及び第2のメモリセルアレイとの間で記憶データの授受を行う第2の周辺回路を備え、かつ、第2の半導体メモリは、第1の半導体メモリを制御する制御回路の一部を第2の半導体チップ上に具備することを特徴とする。

【0021】好ましくは、第1の半導体メモリを制御する制御回路の一部は、第1の半導体メモリの誤り検知訂正回路、又はコントローラ回路、又はインターフェース回路であることを特徴とする。

【0022】また、好ましくは第1の半導体メモリは、電気的に書き換え可能な不揮発性メモリであり、第2の半導体メモリは、電気的に書き換え可能な揮発性メモリであることを特徴とする。

【0023】また、本発明の半導体記憶装置及びそのシステム装置は、電気的に書き換え可能な不揮発性半導体メモリからなる第1の半導体チップ及び電気的に書き換え可能な揮発性半導体メモリからなる第2の半導体チップを備え、第1、第2の半導体チップを組み合わせて使用するものであって、第1の半導体チップ上に形成された電気的に書き換え可能な不揮発性半導体メモリは、少なくとも不揮発性メモリセルアレイ及び不揮発性メモリセルアレイとの間で記憶データの授受を行う周辺回路を備え、第2の半導体チップ上に形成された前記電気的に書き換え可能な揮発性半導体メモリは、少なくとも揮発性メモリセルアレイ及び前記揮発性メモリセルアレイとの間で記憶データの授受を行う周辺回路を備え、第2の半導体チップ上に形成された電気的に書き換え可能な揮発性半導体メモリは、第1の半導体チップ上に形成された

不揮発性半導体メモリの誤り検知訂正回路及びコントローラ回路及びインターフェース回路、又は、誤り検知訂正回路及びコントローラ回路及びインターフェース回路の少なくともいずれか1つを、第2の半導体チップ上に具備することを特徴とする。

【0024】好ましくは、電気的に書き換え可能な不揮発性半導体メモリは、少なくともNAND型フラッシュメモリ、AND型フラッシュメモリ、DINOR型フラッシュメモリ及びNOR型フラッシュメモリのいずれか1つからなり、電気的に書き換え可能な揮発性半導体メモリは、少なくともDRAM、SRAM、擬似SRAMのいずれか1つからなることを特徴とする。

【0025】また、好ましくは、第1の半導体チップ上に形成された電気的に書き換え可能な不揮発性半導体メモリは、NAND型フラッシュメモリからなり、第2の半導体チップ上に形成された電気的に書き換え可能な揮発性半導体メモリは、SRAMからなり、第2の半導体チップ上に形成されたSRAMは、NAND型フラッシュメモリの誤り検知訂正回路及びコントローラ回路及びインターフェース回路を第2の半導体チップ上に具備し、第1、第2の半導体チップが同一のマルチ・チップ・パッケージに実装されたことを特徴とする。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係る半導体記憶装置及びそのシステム装置の構成を示す図である。

【0027】第1の実施の形態に係る半導体記憶装置及びそのシステム装置は、NAND型フラッシュメモリ1と、揮発性のRAM4と、NAND型フラッシュメモリ1及びRAM4を互いに接続する信号線8から構成される。ここでNAND型フラッシュメモリ1は第1の半導体チップ上に形成され、RAM4は第2の半導体チップ上に形成される。また、RAM4としては、例えば高速SRAMが好適に使用される。この他、DRAMや擬似SRAMも同様に使用することができる。

【0028】第1、第2の半導体チップは、互いに積み重ねて同一のパッケージに封止又はモールドしても良いし、第1、第2の半導体チップを互いに異なるパッケージに封止又はモールドし、実装時にこれらのパッケージを組み合わせても良い。また、第1、第2の半導体チップは、回路基板上に横並びに又は縦積みに実装しても良いし、異なる回路基板上に実装しても良い。同一のパッケージに封止又はモールドされた第1、第2の半導体チップは、半導体記憶装置又はそのシステム装置の構成要素として好適に使用され、また、同一の回路基板に実装された第1、第2の半導体チップは、半導体記憶システム装置として好適に使用される。

【0029】NAND型フラッシュメモリ1は、メモリセルアレイ2及びこれと記憶データの授受を行う必須の

周辺回路3から構成される。この周辺回路3には、NAND型フラッシュメモリを動作させるための制御回路、及び書き込み電圧、読み出し電圧、消去電圧を発生する昇圧回路、及びメモリセルの記憶データの読み出しや書き込みを行うページバッファ回路、及びカラムデコーダ回路、ロウデコーダ回路等が含まれる。

【0030】また、RAM4はメモリセルアレイ5と、メモリセルアレイ5と記憶データの授受を行う周辺回路6と、さらに、NAND型フラッシュメモリ1専用の制御回路の一部（図1において1の制御回路7と記載）から構成される。1の制御回路7には、ECC回路、インターフェース回路、コントローラ回路等が含まれる。

【0031】NAND型フラッシュメモリでは、メモリセルアレイにおける不良ブロックの冗長部にフラグを立て（フラグは不揮発性メモリに書き込まれる）、NAND型フラッシュメモリの電源投入時にこのフラグを読み出し、不良ブロックにはデータアクセスをしないように制御しているが、このような制御もNAND型フラッシュメモリ専用のコントローラ回路に含まれる。

【0032】さらに、このシステム装置がメモリカードとして用いられる場合には、カード専用のコントローラが必要であり、また、ハードディスクの置換として用いられるシリコン・ディスクでは、その専用のコントローラが必要であり、これらのコントローラ回路もまたNAND型フラッシュメモリと組み合わせて使用するRAMのチップ上に内蔵される。また、NAND型フラッシュメモリ1とRAM4とは、信号線8を用いて互いに接続される。信号線8には制御信号線、アドレス線、出入力線（I/O線）等が含まれる。

【0033】第1の実施の形態に係る半導体記憶装置及びそのシステム装置において、NAND型フラッシュメモリ1の周辺回路3には、上述したように、メモリセルアレイとの記憶データの授受に必要最小限の回路のみを搭載するようにし、NAND型フラッシュメモリ1とRAM4とを組み合わせてシステム装置の構成要素とする際に必要な、NAND型フラッシュメモリ1専用の制御回路の一部は、RAM4のチップ上における1の制御回路7に形成される。

【0034】このようにすれば、RAM4のチップ上では昇圧回路等の大型トランジスタを必要としないので、1の制御回路7をRAM4の周辺回路6と同様なデザイン・ルールを用いて設計することにより、レイアウト上のオーバーヘッド面積を縮小することができる。

【0035】また、NAND型フラッシュメモリ1と製造工程上の整合性（2層ゲート構造との整合性）を図る必要もないので、RAM4の1層ゲート構造のMOSトランジスタを用いて、1の制御回路7を別チップとすることなく、RAM4のチップ上に高い集積密度で形成することができる。

【0036】次に図2を用いて第2の実施の形態につい

て説明する。第2の実施の形態では、NAND型フラッシュメモリからなるチップとRAMからなるチップとを縦積みにして同一パッケージに封止又はモールドしたマルチ・チップ・パッケージ（Multi-Chip Package:以下MCPと略称する）に実装された半導体記憶装置及びそのシステム装置について説明する。

【0037】NAND型フラッシュメモリとRAMで構成された第2の実施の形態に係るMCPを図2に示す。MCP10の内部には、NAND型フラッシュメモリ11とRAM14とが、それぞれ別チップとして1個のパッケージに縦積みに実装される。

【0038】NAND型フラッシュメモリ11のチップ上には、メモリセルアレイ12及びこれと記憶情報の授受を行う周辺回路13が形成され、RAM14のチップ上には、メモリセルアレイ15及びこれと記憶情報の授受を行う周辺回路16のほかに、NAND型フラッシュメモリ専用の制御回路の一部（図2において11の制御回路17と記載）が形成される。なお、図2ではNAND型フラッシュメモリ11とRAM14とを接続する配線や信号線、MCPの外部端子は省略されている。

【0039】このように、NAND型フラッシュメモリチップとRAMチップからなる2個のチップを縦積みにしてMCPを構成すれば、MCPの実装面積が大幅に縮小されるばかりでなく、2個のチップの間でパッドの配置を整合させることにより、2個のチップを接続する配線や信号線の長さが短縮されるので、MCPからなる半導体記憶装置及びそのシステム装置の実装密度と動作速度の向上を図ることができる。

【0040】次に、図3を用いて第3の実施の形態について説明する。第3の実施の形態では、NAND型フラッシュメモリチップとRAMチップが横並びに実装され同一パッケージに封止又はモールドされたメモリカードの構成について説明する。

【0041】NAND型フラッシュメモリとRAMとで構成された第2の実施の形態に係るメモリカードの構成を図3に示す。メモリカード20の内部には、NAND型フラッシュメモリ21のチップ及びRAM24のチップからなる2個のチップが横並びに実装される。NAND型フラッシュメモリ21のチップ上には、メモリセルアレイ22、及びメモリセルアレイ22と記憶情報の授受を行う周辺回路23が形成され、RAM24のチップ上には、メモリセルアレイ25、及びメモリセルアレイ25と記憶情報の授受を行う周辺回路26のほかに、NAND型フラッシュメモリ専用の制御回路の一部（図3において21の制御回路27と記載）が形成される。

【0042】21の制御回路27には、NAND型フラッシュメモリ専用の制御回路の一部のほかに、メモリカード自体のコントローラ回路が含まれても良い。メモリカード自体のコントローラ回路としては、コンパクト・フラッシュ・カード（CFカード）、セキュア・デジタ

ルカード (SDカード)、メモリスティック・カード、マルチ・メディア・カード (MMCカード) 等のカードの種類に応じて、それぞれ固有のコントローラ回路が含まれる。なお、ここでも、NAND型フラッシュメモリ21とRAM24と接続する配線や信号線、メモリカードの外部端子は省略されている。

【0043】このように、NAND型フラッシュメモリチップとRAMチップからなる2個のチップを横並びにしてMCPを構成すれば、MCPの厚さを十分薄くすることができるのでメモリカードとして好適である。なお、2個のチップの間で周辺回路と制御回路が互いに向き合うようにレイアウトし、パッドの配置を整合させれば、2個のチップを接続する配線や信号線の長さが短縮されるので、メモリカードの実装密度と動作速度の向上を図ることができる。

【0044】次に、図4を用いて第4の実施の形態について説明する。第4の実施の形態では、NAND型フラッシュメモリからなる2個のチップが縦積みに実装され、RAMのチップと、縦積みされたNAND型フラッシュメモリからなる2個のチップとが、互いに横並びに同一パッケージの内部に封止又はモールドされたメモリカードについて説明する。

【0045】第4の実施の形態に係るメモリカードは、図4に示すように、2個のチップからなるNAND型フラッシュメモリ31<sub>1</sub>、31<sub>2</sub>、及び2個のNAND型フラッシュメモリ31<sub>1</sub>、31<sub>2</sub>の制御回路の一部 (図4において31<sub>1</sub>、31<sub>2</sub>の制御回路37と記載) を内蔵した1個のチップからなるRAM34とで構成される。各NAND型フラッシュメモリチップとRAMチップの構成は第2乃至第3の実施の形態と同様であるため、対応する部分に対応する参照番号を付して詳細な説明を省略する。

【0046】このように、2個のチップからなるNAND型フラッシュメモリを縦積みし、1個のRAMチップを横並びにしてMCPを構成すれば、第3の実施の形態に係るメモリカードと同一のチップ占有面積で、RAMと組み合せるNAND型フラッシュメモリの記憶容量を大幅に拡張することができる。

【0047】第2、第3の実施の形態で説明したように、このとき、各チップの配置とチップ上のパッドの配置を整合させれば、チップ間を接続する配線や信号線の長さが短縮されるので、MCPからなる半導体記憶装置及びそのシステム装置の実装密度と動作速度を向上させることができる。なお、第4の実施の形態において、2個のチップからなるNAND型フラッシュメモリと、1個のチップからなるRAMを例として説明したが、それぞれ複数のチップからなる場合に同様に実施されることはいうまでもない。

【0048】次に、本発明の第5の実施の形態について説明する。第5の実施の形態では、第1乃至第4の実施

の形態で説明したNAND型フラッシュメモリ専用の制御回路の一部 (図1乃至図4における7、17、27、37) をNAND型フラッシュメモリチップに内蔵させる場合と、これと組み合わせるRAMチップに内蔵させる場合について、それぞれチップサイズの比較を行う。

【0049】デザイン・ルール0.13μmの1ギガビットNAND型フラッシュメモリのチップサイズは、約130mm<sup>2</sup>と見積もられているが、これにNAND型フラッシュメモリ専用の制御回路の一部を内蔵せれば、約25mm<sup>2</sup>のチップサイズの増加となる。

【0050】これに対して、デザイン・ルール0.13μmの擬似SRAMチップにNAND型フラッシュメモリ専用の制御回路の一部を内蔵せれば、チップサイズの増加分は僅か2mm<sup>2</sup>に過ぎない。擬似SRAM全体のチップサイズはメモリ容量により異なるが、この増加分はチップサイズの10%に満たない。

【0051】このように、NAND型フラッシュメモリと擬似SRAMとの間で、チップサイズの増加分に大きな差を生じる理由は、NAND型フラッシュメモリの場合、デザイン・ルール0.13μmというのは、メモリセルアレイのデザイン・ルールであり、周辺回路のデザイン・ルールは、先に従来の技術で説明した理由により約10倍にされるためである。

【0052】上記したように、NAND型フラッシュメモリ専用の制御回路の一部を、これと組み合わせるRAMチップ側に内蔵せることにより、オーバヘッド面積を大幅に削減することができる、実装密度の高い安価な半導体記憶装置及びそのシステム装置を提供することができる。その結果、従来に比べて、より小型・軽量化された携帯電話やPDA等の新製品を安価に提供することが可能になる。

【0053】第5の実施の形態において、NAND型フラッシュメモリと組み合わせるRAMチップとして、記憶容量の大きい擬似SRAMチップを例としてチップサイズの増加分を見積もったが、RAMチップの例として、例えば高速SRAMやDRAMチップを用いても同様な結果が得られる。

【0054】なお本発明は上記の実施の形態に限定されるものではない。例えば第1乃至第5の実施の形態において、揮発性メモリセルからなるRAMチップと組み合わせる不揮発性半導体メモリとして、記憶容量の大きいNAND型フラッシュメモリチップを用いる場合について説明したが、必ずしもNAND型フラッシュメモリチップに限定されるものではない。

【0055】NAND型のほかAND型、NOR型、及びDINOR型のフラッシュメモリ等の不揮発性メモリチップを、揮発性メモリセルからなるRAMチップと組み合わせることにより、本発明の半導体記憶装置及びそのシステム装置を構成することができる。

【0056】例えば、NOR型フラッシュメモリチップ

**BEST AVAILABLE COPY**

!(7) 002-251884 (P2002-251884A)

と高速SRAMチップとの組み合わせに対して本発明を適用すれば、記憶容量は小さいが高速・低消費電力な実装密度の高い半導体装置及びそのシステム装置を提供することができる。

【0057】また、複数のNAND型フラッシュメモリチップと、NAND型フラッシュメモリ専用の一部の制御回路を内蔵した擬似SRAMチップ等を組み合わせれば、消費電力は大きくなるが、極めて大きな記憶容量に対応することができるので、メモリカード以外のシステム装置、例えば、シリコン・ディスク等に対して好適に使用することができる。

【0058】なお、本発明の適用に際し、揮発性RAMチップにフラッシュメモリ専用の一部の制御回路を内蔵せざることが必要となるが、これらの制御回路の一部に含まれるコントローラ回路は、対象とするシステムごとに異なるので、汎用の揮発性RAMチップをそのまま用いて、本発明の半導体記憶装置及びそのシステム装置を構成することはできない。

【0059】しかし、本発明の適用に必要な制御回路の一部は、回路規模が小さいので、CAD等の適用により設計変更に伴うコスト高を生じることなく、容易にシステム対応のチップを提供することができる。特に、携帯電話やメモリカードの分野では、一品種当たりの生産量が極めて大きいので、システム対応のチップを開発しても、多品種少量生産に伴う不利益を受ける恐れはない。

【0060】なお、本発明の半導体記憶装置及びそのシステム装置は、主として不揮発性半導体メモリと揮発性半導体メモリとを組み合わせる場合について説明したが、必ずしもこれに限定されるものではない。

【0061】 例えば第1、第2の半導体メモリが共に揮発性半導体メモリであって、それぞれ異なるチップ上に形成され、第1の半導体メモリの制御回路の一部を第2の半導体メモリのチップ上に形成することにより、全体の実装密度が向上する場合がある。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

〔0062〕

【発明の効果】上述したように本発明によれば、NAND型フラッシュメモリ専用の制御回路の一部を別チップとすることなく、これと組み合わせるRAMのチップ上に形成することにより、携帯電話やメモリカード等の小型化に役立つ、安価で実装密度の高い半導体記憶装置及びそのシステム装置を提供することが可能になる。

【0063】また、NAND型フラッシュメモリ等のチップとRAM等のチップとを組み合わせてMCPにすれば、さらに安価で小型な半導体記憶装置及びそのシステム装置を提供することができる。

### 【画面の簡単な説明】

【図1】第1の実施の形態に係る半導体記憶装置及びそのシステム装置の基本構成を示す図。

【図2】第2の実施の形態に係るMCPに縦積み実装された半導体記憶装置及びそのシステム装置の構成を示す図。

【図3】第3の実施の形態に係る横並び実装されたメモリカードの構成を示す図。

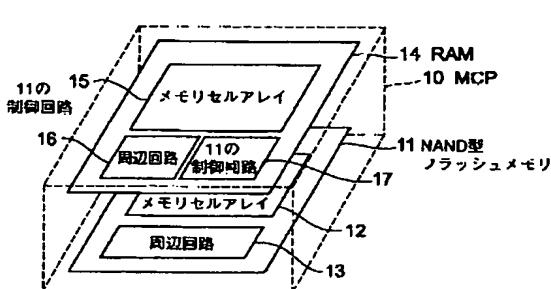
【図4】第4の実施の形態に係る縦積み及び横並び実装されたメモリカードの構成を示す図。

### 【符号の説明】

【付録】記号

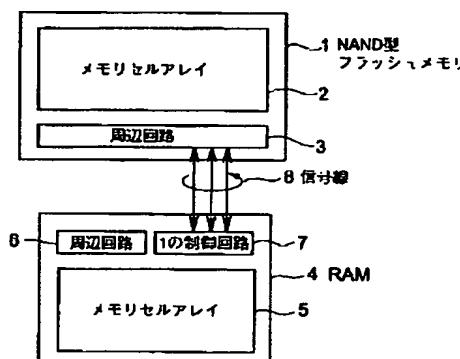
- 1、11、21、31<sub>1</sub>、31<sub>2</sub>…NAND型フラッシュメモリ
- 2、5、12、15、22、25、32<sub>1</sub>、32<sub>2</sub>、35…メモリセルアレイ
- 3、6、13、16、23、26、33<sub>1</sub>、33<sub>2</sub>、36…周辺回路
- 4、14、24、34…RAM
- 7…1の制御回路
- 10…MCP
- 17…11の制御回路
- 20、30…メモリカード
- 27…21の制御回路
- 37…31<sub>1</sub>、32<sub>2</sub>の制御回路

卷之三

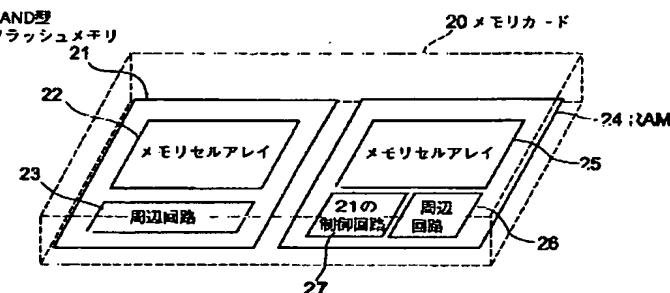


(8) 002-251884 (P2002-251884A)

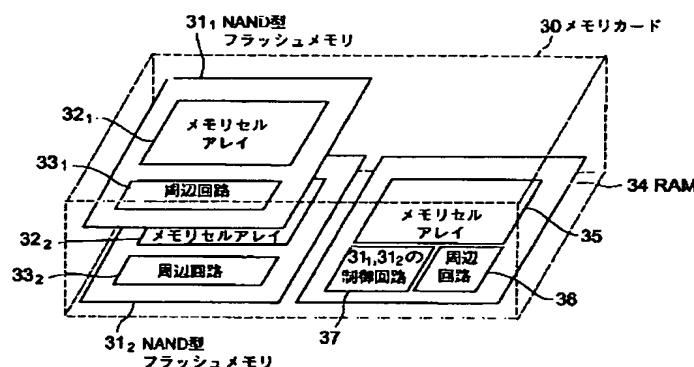
【図1】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 7  
G 11 C 16/06

識別記号

F I  
G 11 C 11/34  
17/00

(参考)

371K  
622E  
622A  
631  
639C